



OPTIONAL – BEGRENZER:
 Sobald Ausgänge Q3, Q1 und Q0 HIGH (Binär 1011 = Dezimal 11) wird Eingang Mr (Reset) auf HIGH gesetzt, d.h. der Zähler zählt von 0 bis 10, führt einen Reset durch und beginnt von 0.

Um diese Bedingung zu prüfen, wird Q3 und Q0 mit NAND A verbunden und Q1 und Q0 mit NAND B. Bei Dezimal 11 sind die Eingänge von NAND A (1,2) und B (4,5) HIGH und erzeugen an den Ausgängen (3,6) LOW. Diese Ausgangssignale werden negiert (HIGH) und in NAND C (9,10) eingespeist. Der Ausgang von NAND C (8) ist nun LOW, wird negiert und setzt damit den Eingang Mr (14) auf HIGH = Reset.

WERTTABELLE:

D	A				C					
	Q3	Q2	Q1	Q0	A	B	A'	B'	C	C'
00	L	L	L	L	H	H	L	L	H	L
01	L	L	L	H	H	H	L	L	H	L
02	L	L	H	L	H	L	L	H	H	L
03	L	L	H	H	H	L	L	H	H	L
04	L	H	L	L	H	H	L	L	H	L
05	L	H	L	H	H	L	L	H	H	L
06	L	H	H	L	H	H	L	L	H	L
07	L	H	H	H	H	L	L	H	H	L
08	H	L	L	L	H	H	L	L	H	L
09	H	L	L	H	H	L	L	H	H	L
10	H	L	H	L	H	L	L	H	H	L
11	H	L	H	H	L	L	H	H	L	H

Integrierte Schaltungen Teil 7
 Versuchsaufbau BCD zu Dezimal-Decoder
 Erstellt von Arndt Braier

Sheet: /
 File: IC_Aufbau_07_Binaer_zu_Dezimal_74HC42.sch

Title: Aufbau 7 – Binär zu Dezimal mit 74HC42

Size: A4 Date: 2019-03-22
 KiCad E.D.A. kicad (5.0.2-4-g3082e92af)

Rev: a
 Id: 1/1